

'This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-089974
(43)Date of publication of application : 31.03.2000

(51)Int.Cl. G06F 11/00
H03H 17/02

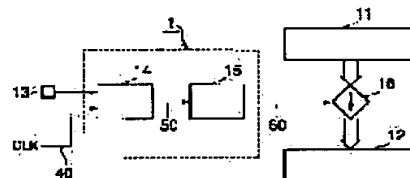
(21)Application number : 10-258362 (71)Applicant : OKI ELECTRIC IND CO LTD
(22)Date of filing : 11.09.1998 (72)Inventor : TANAKA HIROYUKI
OYA MITSUNARI

(54) DATA STORAGE CONTROL CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To realize a data storage control circuit for controlling a capture function so as to accurately execute it even when a noise is generated in an input signal to be monitored.

SOLUTION: A shift register constituting a digital filter 14 executes sampling processing for an input signal inputted from an external terminal 13 and inputs its processed result, an output signal from the shift register, to a gate circuit constituting the digital filter 14. The voltage level of an output signal from the gate circuit is turned from an 'L' level to an 'H' level when at least three voltage levels of the output signal are the 'H' level. A detection circuit 15 detects a change in the voltage levels of the gate circuit and outputs a signal for instructing output data from a counter 11 to be stored in a register 12.



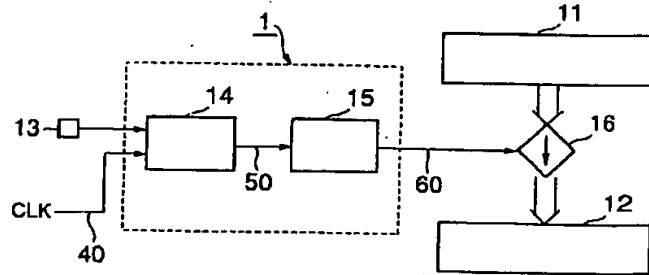
(書誌+要約+請求の範囲)

(19)【発行国】日本国特許庁(JP)
(12)【公報種別】公開特許公報(A)
(11)【公開番号】特開2000-89974(P2000-89974A)
(43)【公開日】平成12年3月31日(2000. 3. 31)
(54)【発明の名称】データ格納制御回路
(51)【国際特許分類第7版】

G06F 11/00 350
H03H 17/02 681

【FI】

G06F 11/00 350 P
H03H 17/02 681 B



【審査請求】未請求

【請求項の数】6

【出願形態】OL

【全頁数】9

(21)【出願番号】特願平10-258362

(22)【出願日】平成10年9月11日(1998. 9. 11)

(71)【出願人】

【識別番号】000000295

【氏名又は名称】沖電気工業株式会社

【住所又は居所】東京都港区虎ノ門1丁目7番12号

(72)【発明者】

【氏名】田中 弘行

【住所又は居所】東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

(72)【発明者】

【氏名】大家 充也

【住所又は居所】東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

(74)【代理人】

【識別番号】100089093

【弁理士】

【氏名又は名称】大西 健治

(57)【要約】(修正有)

【課題】監視対象の入力信号にノイズが発生していても、正確にキャプチャ機能を実行するように制御するデータ格納制御回路を実現する。

【解決手段】外部端子13から入力される入力信号に対して、クロック信号CLKに基づいて、デジタルフィルタ14を構成するシフトレジスタにてサンプリング処理を行い、その結果であるシフトレジスタの出力信号を、デジタルフィルタ14を構成するゲート回路に入力する。ゲート回路の出力信号の電圧レベルは、出力信号のうち少なくとも3つの電圧レベルがHレベルの場合に、LレベルからHレベルとなる。検出回路15は、ゲート回路の電圧レベルの変化を検出して、カウンタ11の出力データをレジスタ12に格納することを指示する信号を出力する。

【特許請求の範囲】

【請求項1】入力信号の論理レベルの変化に基づいてカウント回路の出力データを格納回路に格納するデータ格納制御回路において、前記入力信号をサンプリング処理し、複数回サンプリングした入力信号の論理レベルに基づいてその論理レベルが変化する制御信号を出力するデジタルフィルタと、前記制御信号の論理レベルの変化を検出し、前記カウント回路の出力データの前記格納回路への格納を制御する検出回路と、を有することを特徴とするデータ格納制御回路。
【請求項2】前記デジタルフィルタは、サンプリングクロック信号の第1の論理レベルから第2の論理レベルへの変化毎に前記入力信号の電圧レベルをサンプリングし、サンプリングにて同じ論理レベルの入力信号をm回(mは2以上の正の整数)検出した場合に、前記カウント回路の出力データを前記格納回路へ格納することを特徴とする請求項1記載のデータ格納制御回路。

【請求項3】前記デジタルフィルタは、サンプリングクロック信号の第1の論理レベルから第2の論理レベルへの変化毎に前記入力信号の情報を格納し、該情報に応じた論理レベルの出力信号を出力する、n個(nはn>mの正の整数)の出力信号を有するシフトレジスタと、前記制御信号を出力するものであって、該シフトレジスタのn個の出力信号のうちm個が所定の論理レベルの場合に前記制御信号の論理レベルを変化させる制御回路とから構成することを特徴とする請求項2記載のデータ格納制御回路。

【請求項4】前記データ格納制御回路は、選択信号に応じて前記検出回路に対して前記入力信号と前記制御信号とが選択的に前記検出回路へ転送可能とする選択回路を有し、該選択回路が前記入力信号を選択している場合に、前記検出回路は、前記入力信号の論理レベルの変化を検出し、前記カウント回路の出力データの前記格納回路への格納を制御することを特徴とする請求項1乃至請求項3のいずれか1つに記載のデータ格納制御回路。

【請求項5】前記選択回路は、前記選択信号が第3の論理レベルの場合には前記入力信号を選択し、前記選択信号が第4の論理レベルの場合には前記制御信号を選択するもので、前記デジタルフィルタは、前記選択信号が第3の論理レベルの場合に、動作が停止されることを特徴とする請求項4記載のデータ格納制御回路。

【請求項6】前記サンプリングクロック信号の供給が停止されることにより、前記デジタルフィルタの動作が停止するものであることを特徴とする請求項5記載のデータ格納制御回路。

フロッグ21-1-3の出力番号cの電圧レベルとなる。このため、ゲート回路23のANDゲート23-2の出力番号の電圧レベルからレベルを減ずる。これによって、デジタル出力14の出力番号である、ORゲート23-5の出力番号の電圧レベルからレベルを減ずる。

[illegible]

づまりの出力が「 $\text{ANDゲート}23-1$ 」に接続される。
 [0040]この後、時刻6において、 $\text{ANDゲート}23-1$ の出力信号の電圧レベルがHレベルとなり、時刻6において、 $\text{ANDゲート}23-1-23-4$ の全ての出力信号の電圧レベルがHレベルとなるので、デジタルマルチ4の出力値の電圧レベルはHレベルのまま保たれる。
 [0041]なお、デジタルマルチ4に対して、更に、図5に示すように、シフトレジスタ21-1~21-4の出力信号a~dのうち少なくとも3つの電圧レベルがHレベルの時に、出力信号の電圧レベルがHレベルに固定される他のデジタル回路333を設ける。このようなデジタル回路333の具体的な構成としては、図3のANDゲート23-1~23-4の各入力を入力シフトロギタ21-1~21-4の出力信号a~dの反転信号が入力されるように、ORゲート23-5をNORゲート23-6としたもので実現でき、上述したように、デジタルマルチ4の出力信号の電圧レベルがHレベルからHレベルに固定したことに伴って、切り換え回路43によって、デジタルマルチ4の出力信号をゲート回路23の出力信号からゲート回路33の出力信号に切り換えるようにすればよい。
 図3の出力信号に切り換えるようにすればよい。

(図4-2)つまり、切り戻し回路3は、デジタルマルチ14の出力値がレベルエッジで配線50とターナート回路33に接続する。このように切り戻し回路3は、デジタルマルチ14の出力値がレベルエッジの時には配線50とターナート回路33を電気的に接続するのである。この切り戻し回路3は、初期状態である、デジタルマルチ14の出力値番の電圧レベルからレベルエッジにおいては、配線23を電気的に接続してなく、デジタルマルチ14の出力値番の電圧レベルからレベルエッジへ戻ると、配線23を電気的に接続する。また、デジタルマルチ14の出力値番の立ち上がりエッジにて、配線4とレベルエッジへ戻ると、配線23を電気的に接続する。さらに、このように切り戻し回路3は、デジタルマルチ14の出力値番の立ち上がりエッジにて、配線3とターナート回路23を電気的に接続するように切り換えられ、また

図5のようになっている。そこで、図4に示す時刻18と時刻19との間で、外部回路13からの入力信号の電圧レベルがレベル1に低下し、時刻17と時刻18との間で、ノイズが発生したとしても、上述した「ターン回路」と同様「ターン回路」3が、入力信号の電圧レベルがレベル2であるときにも3回ターンするまで、つまり時刻18までは「ターン」入力14としての出力信号の電圧レベルを変化させないことができる。時刻19において、ターン入力14の出力信号の電圧レベルはレベル1に変化する。このため、検出回路15の出力信号の電圧レベルは所定電圧レベルとなる。この結果、ターン回路16を介して、時刻10におけるカウンタ11の出力信号の電圧レベルは時刻12に格納される。

(0004)以上、詳細に説明したように、第1の実施形態における「データ格納制御回路」を用いることにより、外部端子から入力信号が入力されたときに、所望の入力信号が生成され、その入力信号に基づいて、所望の入力信号を生成することができる。また、外部端子からの入力信号の到来タイミングを正確に検出することができ、出力に接続することが可能である。よって、外部端子からの入力信号の到来タイミングの変化に伴う出力信号のレベルの変化は、ほぼ一定であり、このため、所望の入力信号の3～4周期分程度遅延するとしても、容易に補正が可能である。この補正分を考慮すれば、最大でクロック信号1周期分程度の誤差で、入力信号の到来タイミングが容易に検出できる。

[0064]また、算の乗施の形態における n が特殊制御回路11は、特別複雑な回路構成を有するものではなく、また、特別な回路構成や制御回路を用いるだけでなく実現することができる。例えば、この n が特殊制御回路11を用いたものである。特に、 n が特殊制御回路11として与えられる面積は、マイクロコンピュータやマイクロプロセッサとしては十分なものである。算1の乗施の形態における n が特殊制御回路11は、構成回路の素子数と極力少なくしているため、コスト削減にも効果的である。算の実現することによって期待できる利点として、[0067]なお、上記乗施の形態において、ソフトウェア221は4つのソフトウェアから構成される4ビットのソフトウェア331から構成される m 個のソフトウェア332と、これに限定されるものではなく、 n 個(ただし、 n は3以上の正の整数)のソフトウェア333から構成される n 個のソフトウェア334とでよい。

[0068]次に、第2の実施の形態におけるデータ格納制御回路について、図面を用いて以下に説明する。図面は本発明の第2の実施の形態であるデータ格納制御回路100とその周辺回路を付付けている。図面は同様構成要素に同一の符号を付けている。

[0065]図8において、データ格納制御回路100として、選択回路111が設けられる。この選択回路111は外部端子13から入力される人か番号とデジタルフィルタ14から出力される、配線50に伝送される制御信号とを、配線13から伝送される制御信号とを、配線50に伝送するものである。データ格納制御回路100のその他の構成要素は、その周辺回路は、図7と同様である。

[0066]データ格納制御回路100は、選択回路111を設けることにより、外部端子13から入力される人か番号の到来、およびデジタルフィルタ14を介して検出する他に、デジタルフィルタ14を介することなく、検出回路15にて検出する力番号自体を対象として検出することができる。

[0067]なお、選択回路111の選択回路に用いられる選択信号SLは、デジタルフィルタ14の使用の要否を示す信号であり、デジタルフィルタ14の出力は、選択信号SLによって切り換えられ、配線50に伝送される。また、選択回路111の出力は、配線50に伝送される。

「005A」例えば、データ格納制御回路100を搭載したマイクロコンピュータあるいはマイクロプロセッサを、外部装置11からデジタル入力信号がマイクの影響を受けにくいあるいは、小さな歪み程度の速度にて使用される場合や、デジタルアナログ変換器13から出力される、記録用に生成される制御信号を選択する。

「005A」例えば、データ格納制御回路100を搭載したマイクロコンピュータあるいはマイクロプロセッサを、外部装置11からデジタル入力信号がマイクの影響を受けにくいあるいは、小さな歪み程度の速度にて使用される場合や、デジタルアナログ変換器13から出力される、記録用に生成される制御信号を選択する。

図14を介すことにより、外部端子13から入力信号の電圧レベルの増化からカウンタ11の出力データデータ12に格納するまでの遅れの影響を受けなくなるような高速度特性が求められる場合がある。このような場合に、第2の実施形態であるデータ格納制御回路100を用いることで、選択回路11にて外部端子13からの入力信号を直接後出回路15に転送することができる。このため、データマルチプレクサ14を選択的に用いることができ、高速度特性が求められる場合に容易に適用可能とすることができる。

[0055] また、データ格納制御回路100を搭載したマイクロコンピュータあるいはマイクロプロセッサの応用製品として、入力信号条件やセンサの要求仕様(公差度等)に応じて、最適な動作のキヤンパや機能を選択できる。図15は本発明の図14において、第2の実施形態の形態であるデータ格納制御回路について、図面を用いて以下に説明する。図15は本発明の図13の実施形態であるデータ格納制御回路200とその周辺回路の回路ブロック図である。なお、図1において、図6と同様の構成要素については同様な符号を付けている。

[0057] 図15において、データ格納制御回路200は、クロック供給制御回路としてのANDゲート211が設けられている。

[0058]上述のように、選択信号S₁の電圧レベルがレベルの時、選択回路11は外部端子13から入力される入力番号を選択し、選択信号S₂の電圧レベルがレベル時に、選択回路11はデジタル出力14から出力される。配線路上に伝送される制御信号を選択する。選択回路11はデジタル出力14からの出力番号と選択した電圧レベルを固定させる。このため、デジタル出力14の動作が停止状態にある。選択信号S₂の電圧レベルがレベル時にANDゲート211の出力番号の電圧レベルはクロック信号CLKに入力される。このためデジタル出力14のためのクロック信号として供給される。データ格納制御回路200のその他の構成要素およびその周辺回路は、図6と同様である。

デジタルバルブ14の動作状態となる。

(00059)つまり、選択回路111が外部端子113から入力される入力信号を選択している時は、デジタルバルブ14の動作を停止すること、選択回路111がデジタルバルブ14から出力される、配線501に伝送される制御信号を選択している時は、デジタルバルブ14を動作状態とすることができ、

(00060)第3の英断の形態であるデータ保持制御回路200を用いることで、デジタルバルブ14が未使用の時に、デジタルバルブ14に対してクロック信号CLKの伝送を停止すること、デジタルバルブ14の動作を停止状態とすることができる、この結果、デジタルバルブ14を無用に動作させることがないので、その分の消費電流を低減する、ことができる、

(00061)また、デジタルバルブ14の動作の停止を制御(クロック信号CLKの供給を断絶)する信号は、デジタルバルブ14の動作状態と異なる。

[0062]以上、本発明のデータ特種制御回路の各実施の形態についてを説明したが、本発明の構成は上記実施の形態のものに限定されるものではない。

[0063]上述したように、デジタル回路14の構成要素の1つであるゲート回路23の出力信号の電圧レベルは、1個の入力信号のうち少なくとも1個の入力信号の電圧レベルになった時に、変化するようになっている。また、デジタル回路14の使用の要否に応じて選択される回路要素SL1には、選択処理用のタイミングを容易に制御可能とできるための特別な信号を置いて、選択処理SL1による、選択処理SL1に列ニ、デジタル回路14の動作の停止を制御することができる。選択処理SL1にてデジタル回路14の動作の停止を制御すること、新たに特別な信号を供給するための構成が、本発明の構成であり、また、デジタル回路14の使用の要否の制御と連動させて動作をすることができると望ましい。

ート回路331については同様である。

[0064]また、シフトレジスタ21はクロック信号CLKの立ち下がりエッジでセグメント11をセグメント12にシフトするものであったが、クロック信号の立ち上がりエッジでセグメント11をセグメント12にシフトしてもよい。

[0065]また、周知が異なるクロック信号を複数使用して、セグメント14におけるセグメント11用のクロック信号をクロック1に選択可能としてもよい、このようにすることで、幅広い応用製品に適用可能となり、また、使用条件により適した最適なセグメント14周回を選択して、最適なタタミシフトでのセグメント14処理をセグメント14にて実現可能となる。

[0066]また、第3の実施形態の形態においては、ANDゲート211を設けてもよい。ORゲートを用いても実現できる。この場合、制御信号1の重なり（重なり部）のレベルの、選択回路111が検知できればよい。この場合も選択信号として出力される。

【発明の効用】以上のように、本発明は、監視対象の入力信号にノイズが発生していても、正確にキヤッチャ機能を実行するときに制御するデータ格納制御回路を提供することができる。

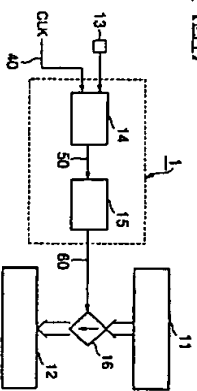
【0066】また、本発明は、さらに、回路経路やコンタの導電性極大低減し、正確に入力信号の到来が確認できるように構成に限定されない。

【0068】

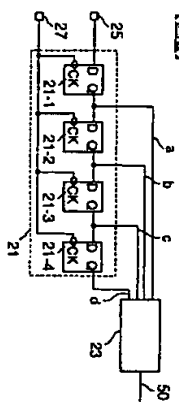
問9 の下二つの解答例の両方を提示する。この二つでよい。

図面

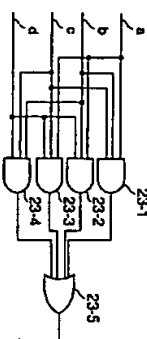
【図1】



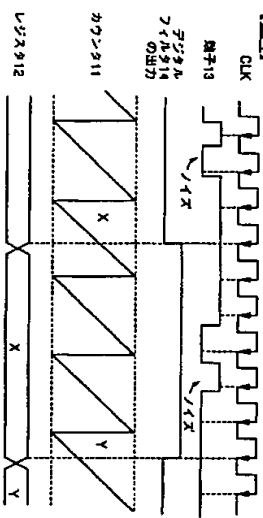
【図2】



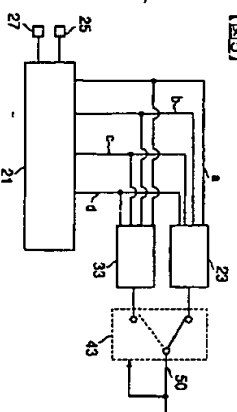
【図3】



【図4】

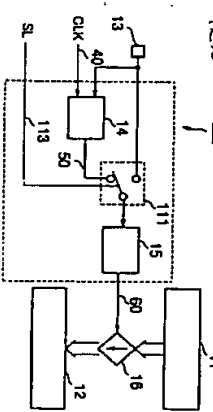


【図5】



【図6】

126



【図7】

